

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04247744 A**(43) Date of publication of application: **03.09.92**

(51) Int. Cl.

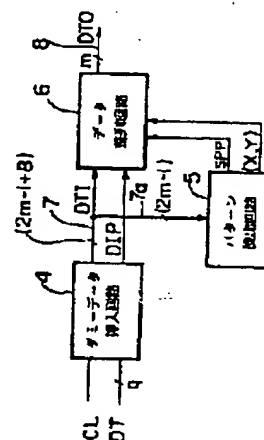
H04L 12/48**H03M 9/00****H04L 7/08**(21) Application number: **03013104**(22) Date of filing: **04.02.91**(71) Applicant: **FUJITSU LTD**(72) Inventor:
EZAKI YUTAKA
IGUCHI KAZUO
TAKEO HIROSHI(54) **ATM CELL SYNCHRONIZATION SYSTEM**

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To process a transmission data at an ultrahigh speed with an equipment at a low speed by adding a dummy data to a cell with respect to the ATM cell synchronization system in an ultrahigh speed ATM transmission so as to convert the data into a data with a large parallel expansion number.

CONSTITUTION: A dummy data insertion circuit 4 inserts dummy data to data DT subject to ATM transmission and the result is intermediate data DTI. A data arrangement circuit 6 detects a cell synchronization pattern from a pattern detection circuit 5 and recognizes a head of a cell based on a detection pulse SPP and a bit location detection signal (X, Y) to take cell synchronization. Moreover, the position of the dummy data is recognized by the inserted pulse DIP and the bit location detection signal (X, Y) to eliminate the dummy data from the cell. Thus, the data arrangement circuit 6 arranges the intermediate data DTI to an arranged data DTO having a prescribed expansion number (m).



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-247744

(43) 公開日 平成4年(1992)9月3日

(51) IntCl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/48				
H 0 3 M 9/00	C	8836-5J		
H 0 4 L 7/08	Z	8949-5K		
		8529-5K	H 0 4 L 11/20	Z

審査請求 未請求 請求項の数3 (全 8 頁)

(21) 出願番号 特願平3-13104

(22) 出願日 平成3年(1991)2月4日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 江崎 裕

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 井口 一雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 竹尾 浩

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

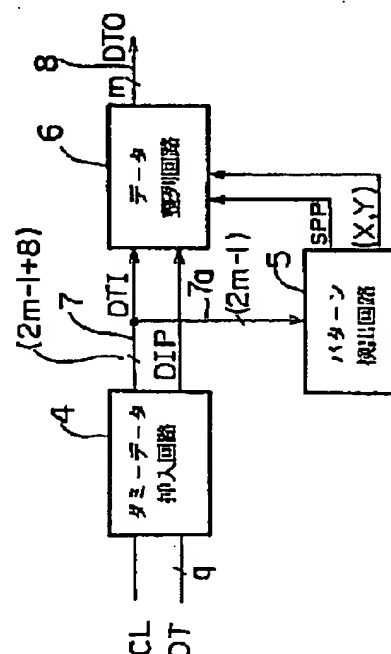
(54) 【発明の名称】 ATMセル同期方式

(57) 【要約】

【目的】 本発明は超高速のATM伝送におけるATMセル同期方式に関し、セルにダミーデータを追加して、大きなパラレル展開数のデータに変換し、超高速の伝送データの処理を低速度の装置で処理できるようにすることを目的とする。

【構成】 ATM伝送のデータDTは、ダミーデータ挿入回路4によって、ダミーデータが挿入され、中間データDTIとなる。データ整列回路6は、パターン検出回路5からのセル同期パターンを検出した検出パルスSPPとビット位置検出信号(X, Y)によってセルの先頭を認識して、セル同期をとる。また、挿入パルスDIPとビット位置検出信号(X, Y)によってダミーデータの位置を認識して、ダミーデータをセルから取り除く。これによって、データ整列回路6は中間データDTIを所定の展開数mを有する整列データDTOに整列する。

本発明の原理図



【特許請求の範囲】

【請求項1】 超高速のATM (Asynchronous transfer Mode) 伝送におけるATMセル同期方式において、シリアル伝送路から受信されたデータを並列展開する際に、ダミーデータを挿入した中間データ(DTI)を出力し、かつ前記ダミーデータの挿入パルス(DIP)を出力するダミーデータ挿入回路(4)と、前記ダミーデータ挿入回路に接続され、セル同期パターンの挿入タイミングを検出して、検出パルス(SPP)を出力し、前記セル同期パターンのビット位置と、前記ダミーデータの挿入ビット位置のビット位置検出信号(X, Y)を出力するパターン検出回路(5)と、前記ダミーデータ挿入回路(4)及び前記パターン検出回路(5)に接続され、前記中間データ(DTI)を前記検出パルス(SPP)及び前記ビット位置検出信号(X, Y)によってセル同期をとり、前記挿入パルス(DIP)及び前記ビット位置検出信号(X, Y)によって、ダミーデータを取り除き、前記中間データ(DTI)を所定の並列展開数(m)の整列データ(DTO)に整列するデータ整列回路(6)と、を有することを特徴とするATMセル同期方式。

【請求項2】 前記パターン検出回路(5)は、前記中間データ(DTI)の全てのビット位置に対応する数(m)と、さらに前記ビット位置毎に、前記ダミーデータが前記セル同期パターンのどのビット位置(p)に挿入されても検出できるように、 $m \times p$ 個の検出器から構成されていることを特徴とする請求項1記載のATMセル同期方式。

【請求項3】 前記ダミーデータ挿入回路(4)の前に、前記データを前記所定の並列展開数(m)より小さい並列展開数(q)に並列展開するための直並列変換回路(3)を設けたことを特徴とする請求項1記載のATMセル同期方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は広帯域ISDN(Integrated Services Digital Network)におけるATMセル同期方式に関し、特に並列展開数を増加させたATMセル同期方式に関する。

【0002】 広帯域ISDNは、音声、画像、データ等、すべての情報を一元的に取り扱い、デジタル信号で伝送するものである。現在CCITT(国際電信電話諮問委員会)において議論されているATM(Asynchronous Transfer Mode)は、発生した情報を短く区切り、ヘッダを付加したセルを送出するもので、現在主流のSTM(Synchronous Transfer Mode)に代わり、将来の伝送方式として注目されている。ATMでは、情報が発生したときのみセル(パケット)を送出することで、回線の使用効率が上がり、また、低速から高速まで全ての速度を一元的に扱うことができる。CCITTの規格によ

るATMのセルは、固定長のセル(パケット)であり、48オクテットの情報部と、5オクテットのヘッダからなる53オクテットの長さを持つ。

【0003】

【従来の技術】 このATMのセルを処理する際に非常に重要なことはセル同期である。セル同期はセルの先頭を探すことである。交換機の内部では、通常光ファイバなどのシリアル転送路から送られてきたデータをnパラレルに展開して、 $1/n$ に速度を落としてから処理を行う。パラレル展開は、4、8、16などの2のm乗(mは正の整数)の幅に展開するのが便利である。ところが、現在のCCITTの規格のATMのセル長は、53オクテット(424ビット)であり、この長さでは、

$$424 = 2 \times 2 \times 2 \times 53$$

であるから、2のm乗の幅で最大にとれるパラレル展開数は8である。

【0004】 現在のデバイス技術では、数百Mbps(Mega bit per second)程度までの処理しか行えないため、数Gbps(Giga bit per second)や数Gbpsという超高速のATM転送を行う際には、もっと大きな並列展開数とする必要がある。

【0005】

【発明が解決しようとする課題】 しかし、53オクテットのセル長では、8以上のパラレル展開数は、53となり、この程度の展開数では、クロックの周波数は $f/53$ となり、ディジタル回路でこのような周波数のクロックを元の周波数から求めることは困難である。また、53ビットのデータバスではバス幅が大きくなり過ぎて、かえってハードウェア量が増加する。これを解決するためには、装置内部で伝送路の53オクテットに例えば1オクテットを加えて54オクテット(432ビット)で処理を行う方法が考えられる。432ビットは、

$$432 = 2 \times 2 \times 2 \times 2 \times 3 \times 3 \times 3$$

であるから、2のm乗の幅で最大にとれるパラレル展開数は16である。また、それ以上の展開数も2と3の組み合わせで、比較的自由に選べるので、超高速の伝送路のデータを処理するには非常に有利である。

【0006】 一方、処理すべきデータに例えば1オクテットのデータを追加することで、セル同期が問題になる。セル同期とは、送られてきたデータ列からセルの先頭を検出することである。一般にセル同期は、送信側で固定形式あるいは、決められた規則で変化するパターン、すなわち、セル同期パターンをセルの一部に挿入して、データを送信し、受信側でこのセル同期パターンを検出している。しかし、追加したデータ(以下ダミーデータという)が、セル同期パターンの途中に挿入されると、セル同期パターンを検出することができなくなる。また、同期がとれ、パラレル展開した後にこのダミーデータをセルから取り除く必要がある。

【0007】 本発明はこのような点に鑑みてなされたも

のであり、ダミーデータを追加して、並列展開数を増加させたATMセル同期方式を提供することを目的とする。本発明の他の目的はセル同期パターン中にダミーデータが挿入されても同期をとることのできるATMセル同期方式を提供することである。

【0008】

【課題を解決するための手段】図1は本発明の原理を示すブロック図である。小さな q パラレルに変換されたデータDTは、ダミーデータ挿入回路4によって、ダミーデータが挿入されて、中間データDTIとなる。パターン検出回路5はダミーデータ挿入回路4に接続され、セル同期パターンを検出して検出パルスSPPと、セル同期パターンのビット位置とダミーデータの挿入ビット位置検出信号(X, Y)を出力する。データ整列回路6は、中間データDTIを検出パルスSPPとビット位置検出信号(X, Y)によってセル同期をとり、さらに、挿入パルスDIPとビット位置検出信号(X, Y)によって、ダミーデータのビット位置を認識して、ダミーデータを取り除き、中間データDTIを所定の並列展開数 m の整列データDTOに整列するように構成している。

【0009】また、パターン検出回路5は中間データDTIの全てのビット位置にセル同期パターンがきても検出できるように、 m 個の検出器を有する。さらに、セル同期パターン中のどのビット位置にダミーデータが挿入されてもよいように、セル同期パターンのビット数に対応する p 個の検出器を設ける。すなわち、 $m \times p$ 個の検出器から構成される。

【0010】

【作用】ダミーデータ挿入回路4では、ダミーデータを挿入して、並列展開数を増加させる。これによって、処理速度を低減して、パターン検出回路5ではセル同期パターンの検出等の処理を低速で行うことができる。さらに、データ並列回路6では m ビットの並列展開数のデータDTOとして出力するので、データDTOの処理速度を遅くできる。

【0011】ダミーデータ挿入回路4の段階では、セル同期はとれていないので、挿入されるダミーデータはどの位置に挿入されるかは分からず任意の位置に挿入される。このため、パターン検出回路5では、セル同期パターンを検出して、検出パルスSPPを出力する。データ整列回路6は検出パルスSPPとセル同期パターンのビット位置とダミーデータの挿入ビットのビット位置検出信号(X, Y)によってセル同期をとる。また、データ整列回路6はダミーデータ挿入回路4からのダミーデータの挿入パルスDIPと、パターン検出回路5からのセル同期パターンを検出した検出器番号(X, Y)によって、ダミーデータの挿入されたタイミングとビット位置を認識し、ダミーデータを取り除く。

【0012】また、パターン検出回路5は中間データDIPのどの位置にセル同期パターンがきても検出できる

ように、 m 個の検出器を設けている。さらに、セル同期パターンのどのビット位置にダミーデータが挿入されても検出できるように、各セル同期パターンの検出器はセル同期パターンのビット数(p)に対応して、 $m \times p$ 個の検出器を有する。これによって、確実にセル同期パターンを検出できる。

【0013】これによって、データ整列回路6はセル同期をとり、ダミーデータを取り除き、所要のパラレル展開数 m を有する整列データDTOを得ることができる。

【0014】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。図2は本発明の一実施例のブロック図である。光伝送路1からシリアルな光信号としてデータが送られてくる。光伝送路1には光ファイバーが使用され、データ伝送速度は数Gbps (Giga bit per second) ~ 数10Gbpsである。光電気変換回路2では、光信号を電気信号に変換して、データ信号DTとして出力する。また、電気信号からクロック信号CLを生成する。ここでは、クロックの周波数を f とする。光電気変換回路2はこのクロック信号CL、データ信号DTを直並列変換回路3に送る。直並列変換回路3はデータ信号DTを q バイトの並列信号に変換して、ダミーデータ挿入回路4に送る。従って、ダミーデータ挿入回路4の処理周波数は f/q となる。理論的にはダミーデータの挿入後に直並列変換を行ってもよいが、ダミーデータの挿入処理の速度を低くできるように、処理周波数を f/q に低減している。ここでは q は8とする。

【0015】ダミーデータ挿入回路4は8ビットの並列データに変換されたデータにダミーデータを挿入する。ダミーデータの挿入によって、データはパラレル展開数を増加させることができる。ここでは、セルを53オクテットとして、1オクテットのダミーデータを挿入することにより、データを54オクテットとし、パラレル展開数 m を16までとるようにする。ダミーデータ挿入回路4は、データにダミーデータを追加して、中間データDTIをデータバス7に出力する。データバス7は $(2m-1+8)$ ビット、すなわち39ビットである。ここで $(2m-1)$ はデータであり、8はダミーデータが挿入されるためである。また、ダミーデータを挿入したタイミングを示す、挿入パルスDIPをデータ整列回路6に送る。なお、データ信号DTはセル同期はとれていないので、ダミーデータはどの位置に挿入されるか決まていない。すなわち、セル同期パターンの途中に挿入される場合もある。

【0016】一方、ダミーデータ挿入回路4に接続されたデータバス7のうちの $(2m-1)$ ビット、すなわち、31ビットのデータバス7aにパターン検出回路5が接続される。パターン検出回路5は、パラレル展開数を増加させるために挿入されたダミーデータがセル同期パターンの途中に挿入されても、セル同期パターンを検

5

出できるように構成されている。パターン検出回路5の詳細については後述する。また、パターン検出回路5はセル同期パターンを検出したときに、検出タイミングを示す検出パルスSPPを出力する。また、データを必要なパラレル展開数 m に整列するときに、どの検出器がセル同期パターンを検出したかを示すビット位置検出信号(X, Y)をデータ整列回路6に出力する。

【0017】データ整列回路6は39ビットの中間データDTIを m ビットの整列データDTOに整列してデータバス8に出力する。このとき、検出パルスSPPによってセル同期パターンのタイミングを認識し、検出器番号(X, Y)によってセル同期パターンがデータバス7のどのビット位置にあるかを認識する。これによって、出力データDTOの同期をとる。すなわち、セルの先頭をデータバス8のMSB(Most Significant Bit)に合わせる。また、挿入パルスDIP及び検出器番号(X, Y)によって、ダミーデータの挿入タイミングとビット位置を認識し、ダミーデータを取り除く。これによって、パラレル展開数 m ビット、すなわち16ビットの整列データDTOを得ることができる。この結果、出力データDTOの処理の周波数は $f/16$ となり、ダミーデータを挿入しない場合に比べて処理速度を低減することができる。

【0018】次に、パターン検出回路5の構成について述べる。図3はパターン検出回路5の概略構成図である。パターン検出回路5はデータバス7aに接続される $(m \times 8)$ 個の検出器D(1, 1)~D(m, 8)と、セル同期パターンを出力するパターン回路12から構成される。ここで、 m は先に述べたようにデータ整列回路6の出力ビット数である。図3ではセル同期パターンは説明を簡単にするために固定パターンとする。パターン回路12にはセル同期パターンPが予め設定されており、このセル同期パターンPを各検出器に送る。検出器はバス7a(31ビット)のどの位置にセル同期パターンが現れても検出できるように、 $m(16)$ 個が設けられる。バス7aは低速処理のため31(2 $m-1$)のビットに展開されているが、パターンが繰り返されるために16個の検出器、すなわち16ビットのシフトでパターンが検出できるからである。その詳細は後述の図6に関する説明の所で述べる。さらに、各 m 個のパターンに対して、8ビットのダミーデータがセル同期パターンの途中に挿入されても、セル同期パターンが検出できるように、各 m 個のパターンに対して8個の検出器を設ける。これは、セル同期パターンが8ビットであるからである。各検出器の検出ビットの詳細については後述する。すなわち、合計 $m \times 8$ 個の検出器D(1, 1)~D(m, 8)を設ける。ここでは、 $m=16$ であるので、128個の検出器D(1, 1)~D(16, 8)が必要になる。そこで、セル同期パターンがデータバス7aのXビット目にあり、ダミーデータがセル同期パターンの

6

Yビット目に挿入されたときにセル同期パターンを検出する検出器をD(X, Y)とする。ただし、 $X=1 \sim 16$ 、 $Y=1 \sim 8$ である。例えば、検出器D(1, 1)はデータバス7aの1ビット目から8ビット目に接続され、ダミーデータがセル同期パターンの途中に挿入されていないときにセル同期パターンを検出する。また、検出器D(1, 2)はバス7aの1ビットと、10ビット~16ビットに接続され、セル同期パターンがバス7aの1ビット目から現れ、ダミーデータがセル同期パターンの2ビット目に挿入されたときのセル同期パターンを検出する。そして、セル同期パターンを検出した検出器はその検出器番号(X, Y)、すなわちビット位置検出信号を出力する。このビット位置検出信号(X, Y)によって、セル同期パターンとダミーデータのビット位置が分かる。また、セル同期パターンの検出タイミングを示す検出パルスSPPを出力する。

【0019】図4は個々の検出器が検出する検出ビットを示す図である。D(X, Y)は図2と同じように検出器の検出器番号を示す。またデータバス7aは先に説明したように31ビットである。各検出器の横線は検出器が検出するデータバス7a上の検出ビットであり、同時に各検出器がデータバス7aに接続されるビットでもある。例えば、検出器D(1, 1)はデータバス7aの1ビット目から8ビット目に接続され、セル同期パターンがデータバス7aの第1ビット目から8ビット目までに現れ、ダミーデータがセル同期パターンの途中に挿入されていないときにセル同期パターンを検出する。また、検出器D(1, 2)はデータバス7aの1ビットと、10ビット~16ビットに接続され、セル同期パターンがバス7aの1ビット目から現れ、ダミーデータがセル同期パターンの2ビット目に挿入されたときのセル同期パターンを検出する。検出器がセル同期パターンを検出して、たまたまデータが一致したかもしれないため、1セルの整数倍の時間待って、再びセル同期パターンが存在するか確認する。ここで、再びセル同期パターンが検出されたら、正しいセル同期がとれたものと判断して同期確立信号を出力する。これを同期保護と称する。

【0020】上記の説明では、セル同期パターンは固定パターンとしたが、その他の規則的に変化するパターンを使用することもできる。図5はCCITTで規定されているセルの構成を示す図である。セルは5オクテットのヘッダ21と48オクテットの情報23から構成されている。ヘッダ21の第5オクテットに1オクテットから4オクテットまでの誤り検出用のCRC(Cyclic Redundancy Check)データ22がある。このCRCデータ22をセル同期パターンとして使用することもできる。すなわち、それぞれの検出器においてCRC演算を行なうことにより、CRCデータをセル同期パターンとして使用することもできる。

【0021】次に、データ整列回路6の動作の詳細につ

7

いて説明する。データ整列回路6はバレルシフト回路等の専用ハードウェア回路として構成され、2つの機能を有する。第1の機能はセル同期パターンを検出して、セルの先頭をデータバス8のMSB(Most Significant bit)またはLSB(Least Significant Bit)に合わせる機能である。ここでは、セルの先頭をMSBに合わせる。第2の機能は挿入されたダミーデータ(8ビット)を除去する機能である。セル同期が確立したとき、すなわちパターン検出回路5がセル同期パターンを検出すると、検出したクロックタイミングを示す検出パルスSPPを出力する。この検出パルスSPPによって、データ整列回路6はセルの先頭のタイミングを認識できる。さらにビット位置検出信号(X, Y)によって、データバス7のどのビットにセル同期パターンがあるかを認識できる。これらによって、セルの先頭をデータバス8のMSBに合わせることができる。すなわち第1の機能が実現される。また、ダミーデータ挿入回路4によって、ダミーデータを挿入したときの挿入パルスDIPと、パターン検出回路5内のセル同期パターンを検出した検出器のビット位置検出信号(X, Y)によって、ダミーデータの挿入されたタイミングとビット位置を認識でき、ダミーデータを取り除くことができる。

【0022】データ整列回路6は図1に示すように、 $39(2m-1+8=39)$ ビットのデータバス7からの中間データDTIを16ビットの出力に整列して整列データDTOとしてデータバス8に出力する。データ整列回路6は $f/m(bps)$ で動作する。パターン検出回路5の検出器D(1, Y)がセル同期パターン、すなわちセルの先頭を検出したときは、入力データの1ビット目からmビット目を選択する。また、検出器D(2, Y)がセル先頭を検出したら、データバス7の2ビット目から $(m+1)$ ビット目を選択する。このようにして、セル同期をとる。すなわち、データの先頭をデータバス8の先頭に合わせる。ただし、これはダミーデータがない場合である。

【0023】ダミーデータが挿入されたタイミングはダミーデータ挿入回路4からの挿入パルスDIPによってデータ整列回路6に知らされる。従って、ダミーデータが挿入されたタイミングでは、 $(X \sim X+Y-2)$ ビットと、 $(X+Y-2+8 \sim X+Y-2+8+m-1)$ ビットを選択する。ただし、 $Y=1$ のときは $Y=9$ と置き換える。さらに、ダミーデータが挿入された以降のタイミングでは、 $(X+8 \sim X+8+m-1)$ ビットを選択して、データバス8に出力する。勿論、X及びYはパターン検出回路5からのビット位置検出信号(X, Y)によって得られる。

【0024】図6はデータ整列回路6のデータ整列動作を説明するための図である。ここでは、中間データDTIはデータバス7からの入力であり、データバス7のビット数は先に説明したように $39(2m-1+8=3$

8

9)ビットである。また、整列データDTOはデータバス8への出力であり、データバス8は16($m=16$)ビットである。さらに、中間データDTI及び整列データDTOの各数値はセルの先頭からのオクテット(バイト)番号を示している。すなわち、1はセルの先頭のオクテット、2は2番目のオクテットである。図5では、セル同期パターンはデータバス7の9ビット目で検出できたものとする。このときの検出器D(X, Y)はD(9, 1)であり、このタイミングで検出パルスSPPがパターン検出回路5から、データ整列回路6に送られる。また、ダミーデータDDは(図5では斜線で示す)、セルの先頭から4クロック目のタイミングで、17~24ビット目に挿入されたものとする。

【0025】これらの信号によって、データ整列回路6は、第1番目クロックから第3番目のクロックのタイミングまでは、データバス7の $(X \sim X+m-1)$ 、すなわち9~24ビット目を整列データDTOとして出力する。次に第4クロック目では、ダミーデータの挿入パルスDIPがあるので、 $(X \sim X+Y-2)$ ビットと、 $(X+Y-2+8 \sim X+Y-2+8+m-1)$ ビットを選択する。すなわち、(9~16)ビットと、(25~32)ビットを選択する。ただし、先に説明したように、 $Y=1$ であるので、 $Y=9$ として計算する。この結果、第1~第3クロック目のタイミングではセルのデータ1、2番目、3、4番目、5、6番目のオクテットが選択されていく。また、第4クロックでは、セルの7番目のオクテットが選択され、ダミーデータが無視され、次にセルの8番目のオクテットが選択される。さらに、第5クロック以降では、セルの9、10番目のオクテットが選択される。このようにして、16ビットに整列された整列データDTOが得られる。また、ダミーデータが取り除かれ、54オクテット目に置かれる。このように、ダミーデータを挿入して、パラレル展開数を増加したデータを得ることができ、さらにダミーデータがセル同期パターン中に挿入されても簡単に取り除くことができる。

【0026】上記の説明では、セルは53オクテット、パラレル展開数は16、ダミーデータは8ビットとしたが、これらの数値はCCITT準拠の一例であり、セルの大きさ、必要とするパラレル展開数に応じてこれらの数値を選択することができる。

【0027】

【発明の効果】以上説明したように、本発明ではセルにダミーデータを追加して、パラレル展開数を増加させ、パラレル展開数の大きなデータに簡単に変換することができ、より低速の処理装置で超高速のATM通信データを処理することができる。特に、ダミーデータがセル同期パターンの途中に挿入されても、セル同期パターンを検出できる。

【0028】

【図面の簡単な説明】

【図1】 本発明の原理図である。

【図2】 本発明の一実施例のブロック図である。

【図3】 パターン検出回路の概略構成図である。

【図4】 個々の検出器が検出する検出ビットを示す図である。

【図5】 C C I T Tで規定されているセルの構成を示す図である。

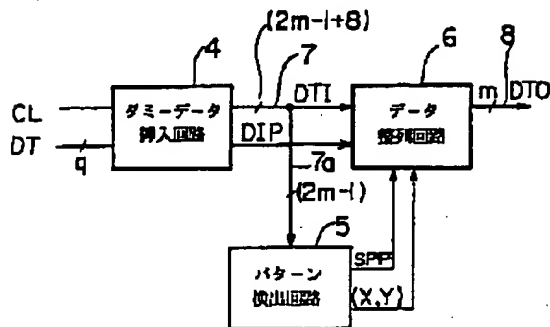
【図6】 データ整列回路のデータ整列動作を説明するための図である。

【符号の説明】

- 1 光伝送路
- 2 光電気変換回路
- 3 直並列変換回路
- 4 ダミーデータ挿入回路
- 5 パターン検出回路
- 6 データ整列回路
- 7 データバス
- 8 データバス

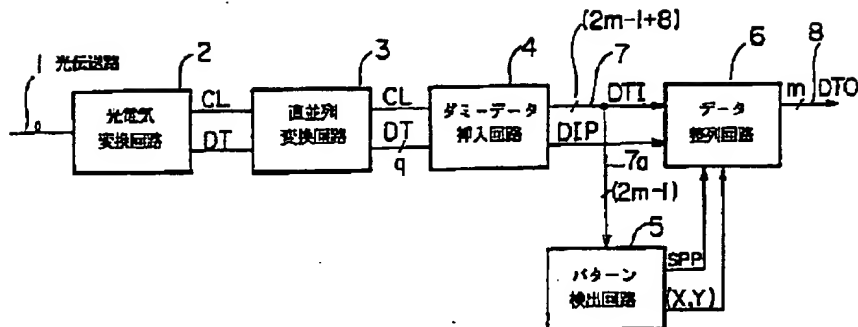
【図1】

本発明の原理図



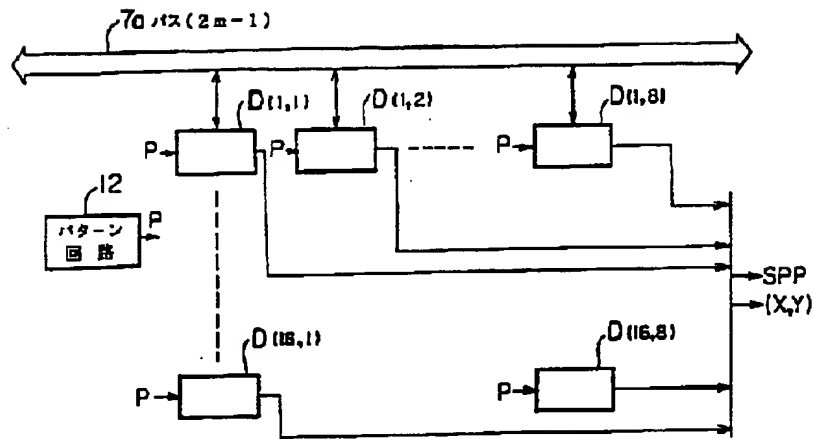
【図2】

本発明の一実施例のブロック図



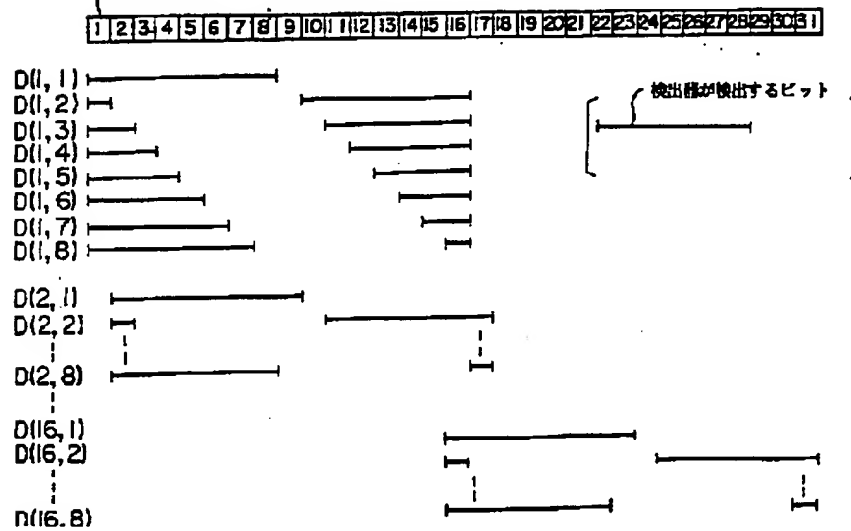
【図3】

パターン検出回路の概略構成図



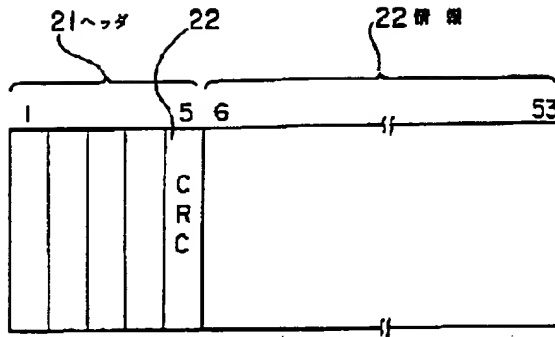
【図4】

7a データバス 検出器の検出ビットを示す図



【図5】

セルの構成を示す図



【図6】

データ並列を説明するタイムチャート

